

# Diseño digital CMOS

## DIODO

[https://www.youtube.com/watch?v=hsJGw\\_c-Nn4](https://www.youtube.com/watch?v=hsJGw_c-Nn4)

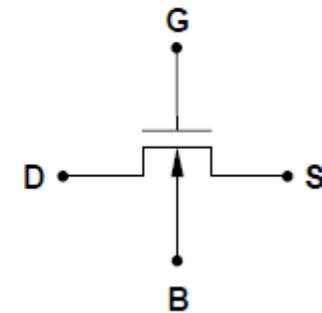
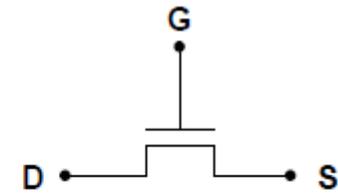
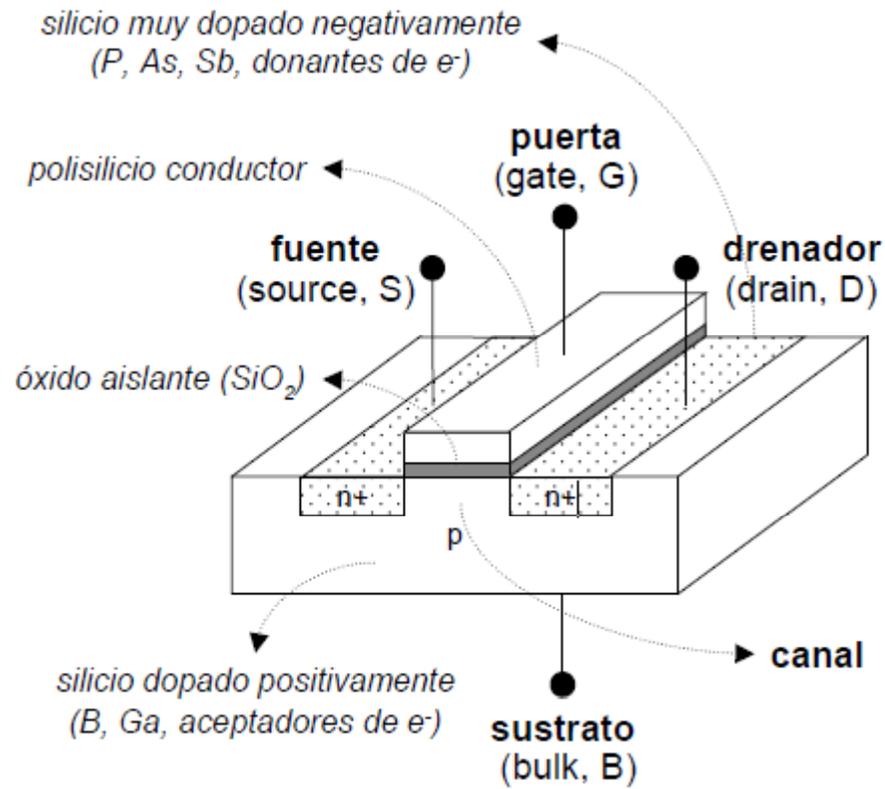
## TRANSISTOR

<https://www.youtube.com/watch?v=9JKj-wlEPMY>

# Transistor nMOS

- Un transistor MOS (Metal-Oxide-Silicon) de canal n (**nMOS**) es **una estructura física** creada mediante la superposición de diferentes materiales:
  - Un sustrato tipo p ligeramente dopado.
  - Dos regiones tipo n fuertemente dopadas, fuente y drenador, separadas por una región de sustrato llamada canal.
  - Una fina capa de aislante sobre el canal.
  - Una capa de polisilicio sobre el aislante.
- Eléctricamente, un transistor nMOS es un dispositivo de 4 terminales que permite controlar por voltaje la intensidad que circula por el canal.
  - **Sustrato: típicamente no se tiene en cuenta porque suele estar conectado a GND.**
  - **Puerta: es un terminal de control que regula la intensidad que circula por el canal.**
  - **Fuente y drenador: son los terminales origen y destino de los portadores de carga (electrones), físicamente son equivalentes, su nombre depende del sentido de la intensidad**
    - Fuente: origen del flujo de electrones, destino de intensidad.
    - Drenador: destino del flujo de electrones, origen de intensidad.
- Conceptualmente su comportamiento es:
  - Si existe una diferencia de **potencial positivo suficiente entre puerta y sustrato se induce un canal conductor de tipo n entre drenador y fuente.**
  - Si existe una diferencia de potencial entre drenador y fuente, y existe canal, la corriente circula a través del mismo.

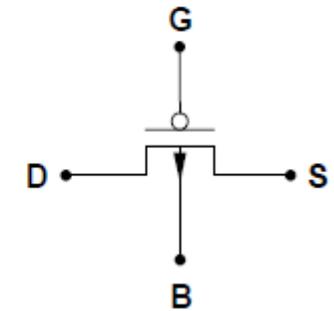
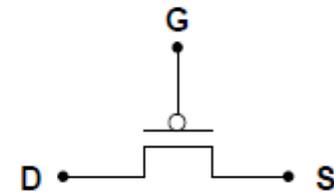
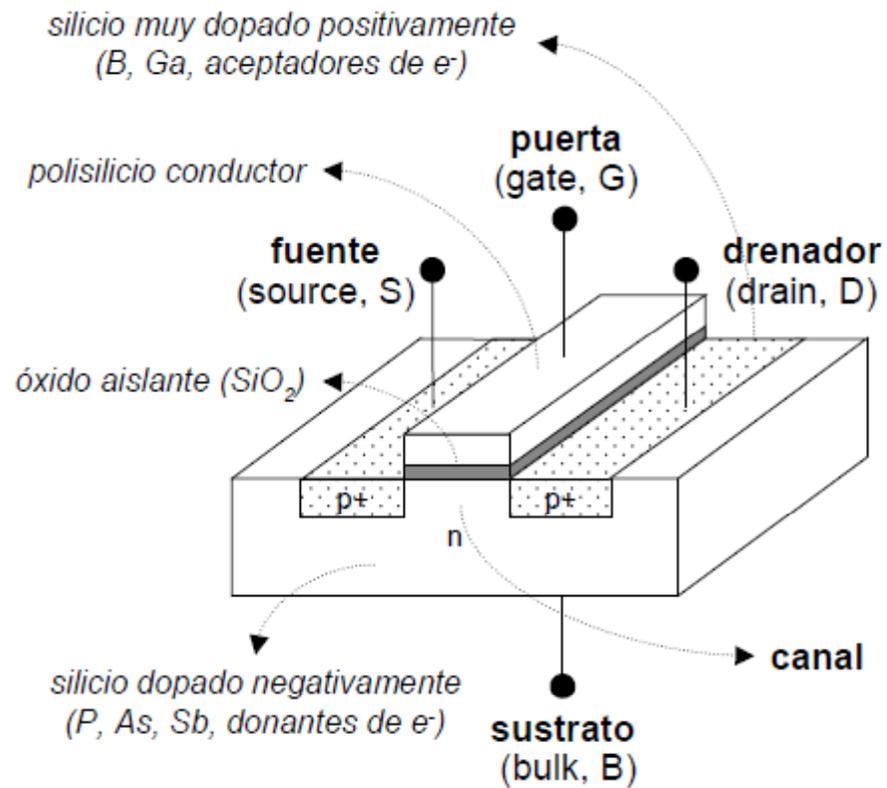
# Transistor nMOS



# Transistor pMOS

- Un transistor MOS de canal p (**pMOS**) es un dispositivo con una construcción y comportamiento duales a las del transistor nMOS.
- La sección vertical de un transistor pMOS está formada típicamente por:
  - Un sustrato tipo n ligeramente dopado.
  - Dos regiones tipo p fuertemente dopadas, fuente y drenador, separadas por una región de sustrato llamada canal.
  - Una fina capa de aislante sobre el canal.
  - Una capa de polisilicio sobre el aislante.
- Eléctricamente, un transistor pMOS es un dispositivo de 4 terminales que también permite controlar por voltaje la intensidad que circula por el canal.
  - **Sustrato: típicamente no se tiene en cuenta porque suele estar conectado a PWR.**
  - **Puerta: es un terminal de control que regula la intensidad que circula por el canal.**
  - **Fuente y drenador: son los terminales origen y destino de los portadores de carga (huecos), físicamente son equivalentes, su nombre depende del sentido de la intensidad.**
- Conceptualmente su comportamiento es:
  - Si existe una diferencia de **potencial negativo suficiente entre puerta y sustrato se induce un canal conductor de tipo p entre drenador y fuente.**
  - Si existe una diferencia de potencial entre drenador y fuente, y existe canal, la corriente circula a través del mismo.

# Transistor pMOS

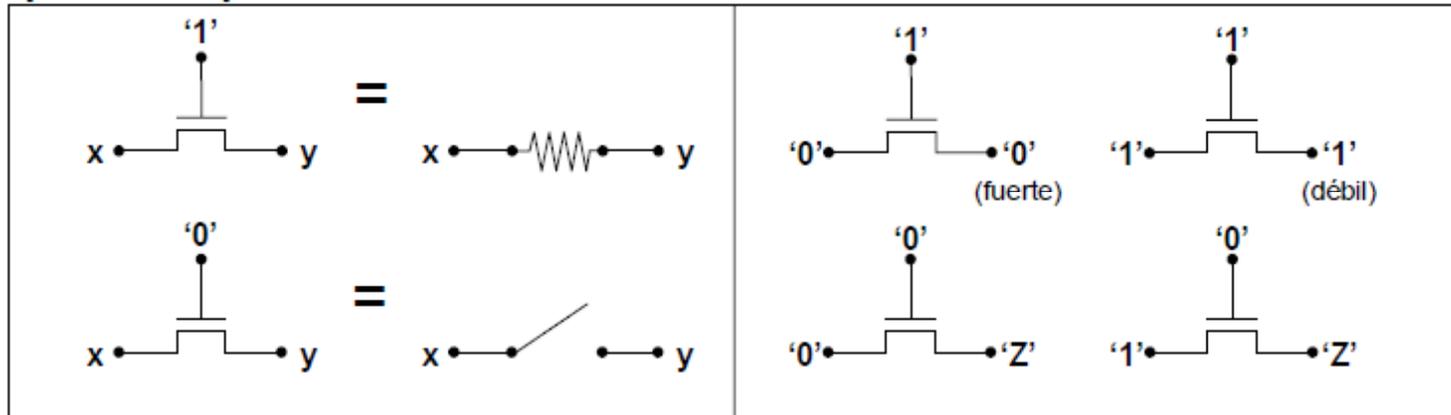


# Abstracción digital del comportamiento de transistores MOS: puertas de paso

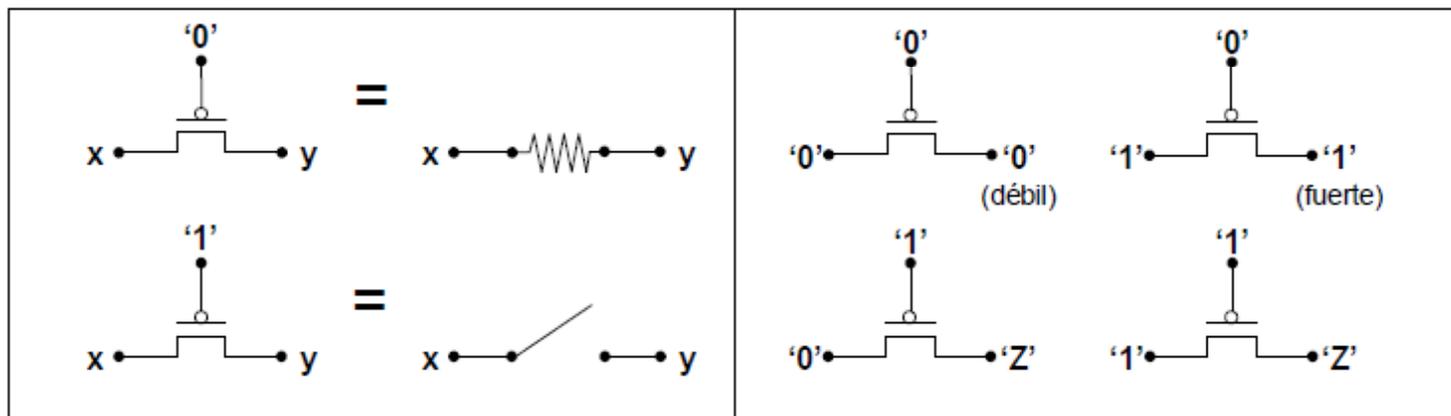
- Considera un transistores MOS como **interruptores. Consideraciones**
  - '1 lógico': voltaje comprendido entre 1.5V y 15V, representado por Vdd, o PWR.
  - '0 lógico', voltaje de 0V, representado por Vss, o GND.
  - Por convenio, la intensidad circula de Vdd a Vss, en sentido contrario al flujo de e-.
  - La fuerza de una señal ('0' ó '1') en un punto se define como la capacidad de ese punto de conducir intensidad (más fuerza = más capacidad).
    - Vdd es una fuente de '1' fuertes.
    - Vss es una fuente de '0' fuertes.
    - Las salidas son más fuertes que las entradas.
- Comportamiento de un **transistor nMOS:**
  - Si G='0' fuente y drenador se aíslan, en transistor no conduce.
  - Si G='1' fuente y drenador se unen mediante el canal, el transistor conduce
    - transmitiendo sin distorsionar los '0's.
    - transmitiendo distorsionados los '1's.
- Comportamiento de un **transistor pMOS:**
  - Si G='1' fuente y drenador se aíslan, en transistor no conduce.
  - Si G='0' fuente y drenador se unen mediante el canal, el transistor conduce
    - transmitiendo sin distorsionar los '1's.
    - transmitiendo distorsionados los '0's.

# Puertas de paso

## puerta de paso nMOS

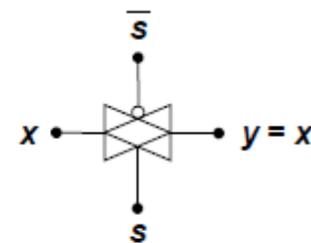
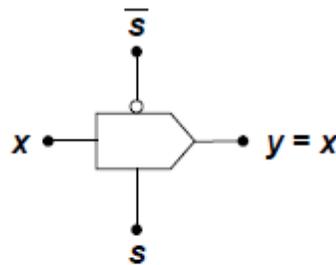
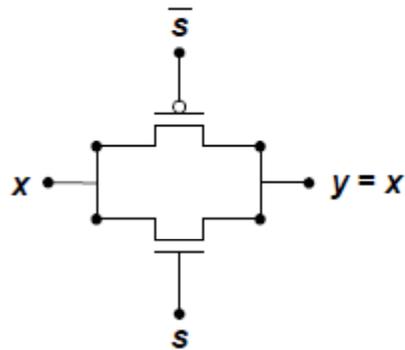


## puerta de paso pMOS



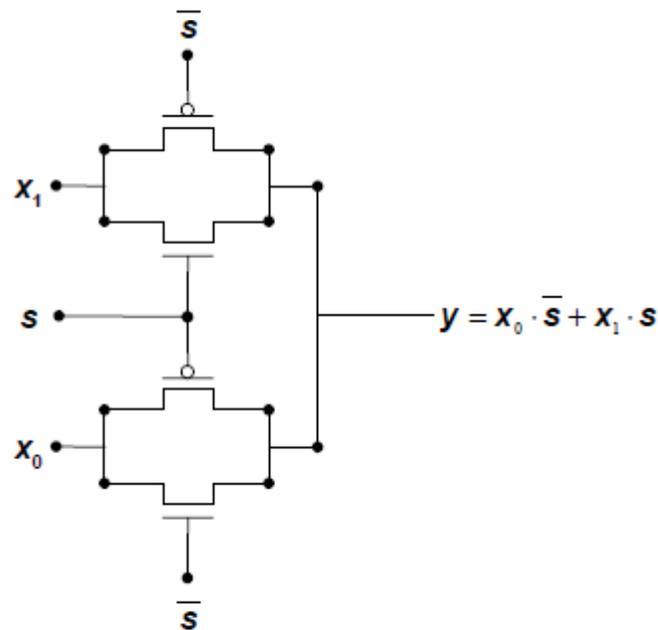
# Puertas de paso CMOS

- Los transistores MOS funcionando por separado como puertas de paso son imperfectos pero complementarios:
  - nMOS – transmite sin degradar '0' cuando la puerta vale '1'.
  - pMOS – transmite sin degradar '1' cuando la puerta vale '0'.
- Una combinación en paralelo de un transistor nMOS y otro pMOS con valores de puerta opuestos será una puerta de paso (o interruptor) perfecta.
  - Si  $s=0$ , ningún transistor conduce, la salida se aísla.
  - Si  $s=1$  ambos transistores conducen, la salida sigue a la entrada
    - Cuando hay un '0', el transistor nMOS lo transmite.
    - Cuando hay un '1' lo transmite el transistor pMOS.



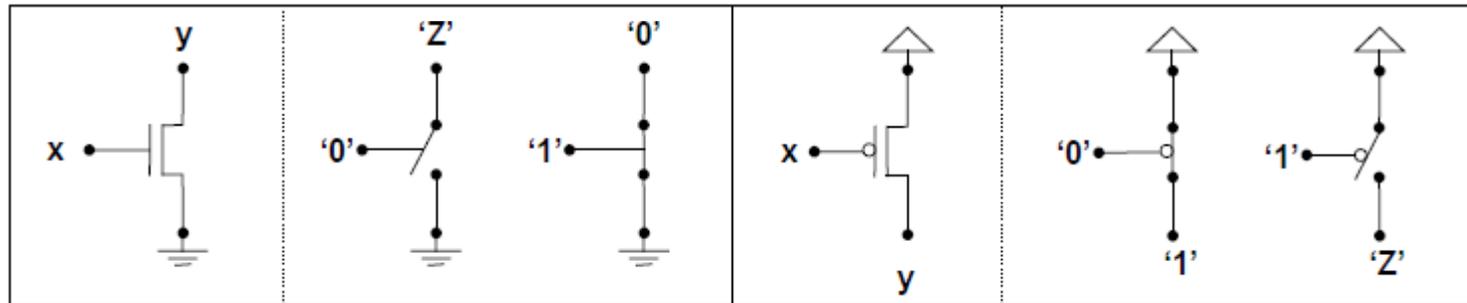
# Diseño con puertas de paso CMOS

- Una aplicación inmediata de las puertas de paso CMOS es la construcción de multiplexores.
- si las entradas de datos se conectan a Vdd ó Vss podemos usar los multiplexores para implementar tablas de verdad



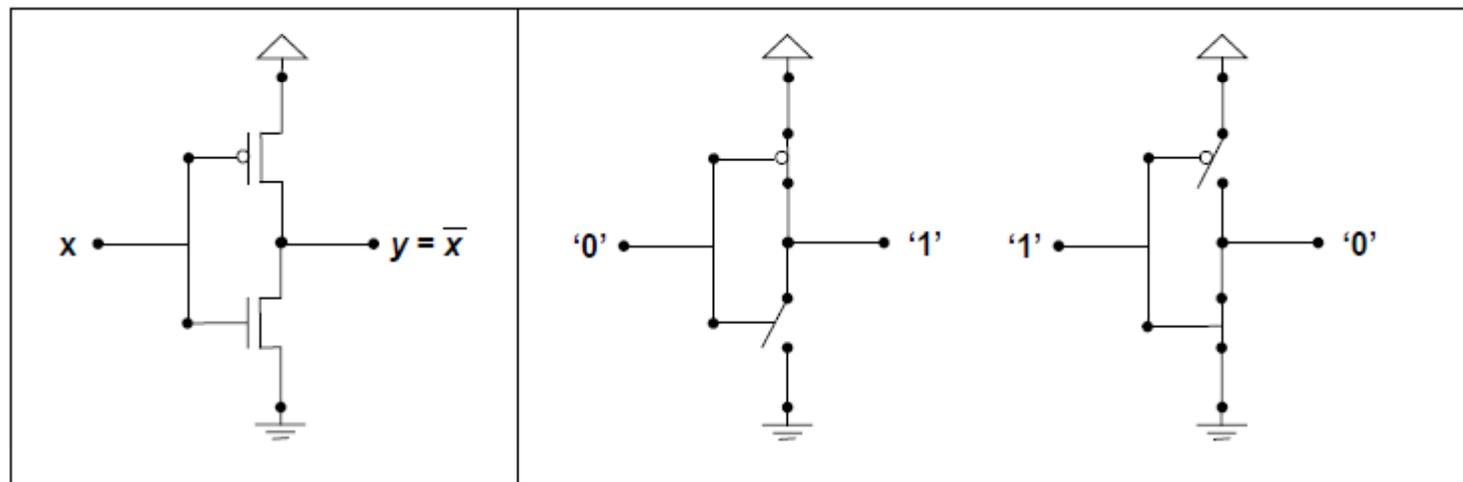
# Inversor CMOS

- Observaciones:
  - las funciones lógicas generan a la salida valores diferentes que los presentes a la entrada.
  - usando drenador y fuente como entrada y salida sólo conseguimos pasar una señal para transformarlas será crucial usar la puerta del transistor como entrada
    - para **nmos**, un terminal será la salida y el otro estará conectado permanentemente a  $V_{ss}$  (ya que el transistor nmos sólo transmite sin degradar '0's)
    - para **pmos**, un terminal será la salida y el otro estará conectado permanentemente a  $V_{dd}$  (ya que el transistor pmos sólo transmite sin degradar '1's)
  - ¿qué sucederá si se unen las entradas y salidas de un transistor nmos y otro pmos?
    - hemos diseñado un inversor



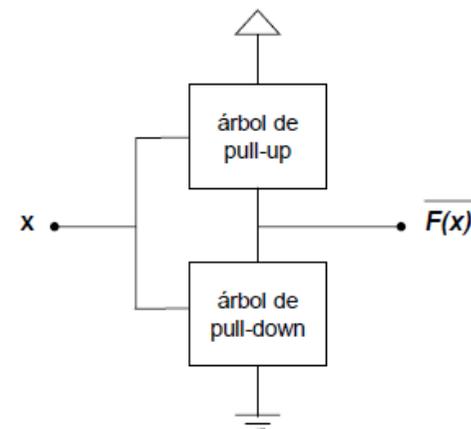
# Inversor CMOS

- Un **inversor CMOS (Complementary MOS) estático** está formado por un **transistor pmos** en serie con un transistor **nmos** con sus puertas unidas:
  - la entrada del inversor es la puerta común y la salida, el punto de unión de los transistores.
  - el transistor **pmos** se llama **transistor de pull-up**, tiene un terminal conectado a **Vdd** y es el encargado de poner la salida a '1' cuando conduce (cuando la entrada vale '0').
  - el transistor **nmos** se llama **transistor de pull-down**, tiene un terminal conectado a **Vss** y es el encargado de poner la salida a '0' cuando conduce (cuando la entrada vale '1').



# Lógica combinacional CMOS

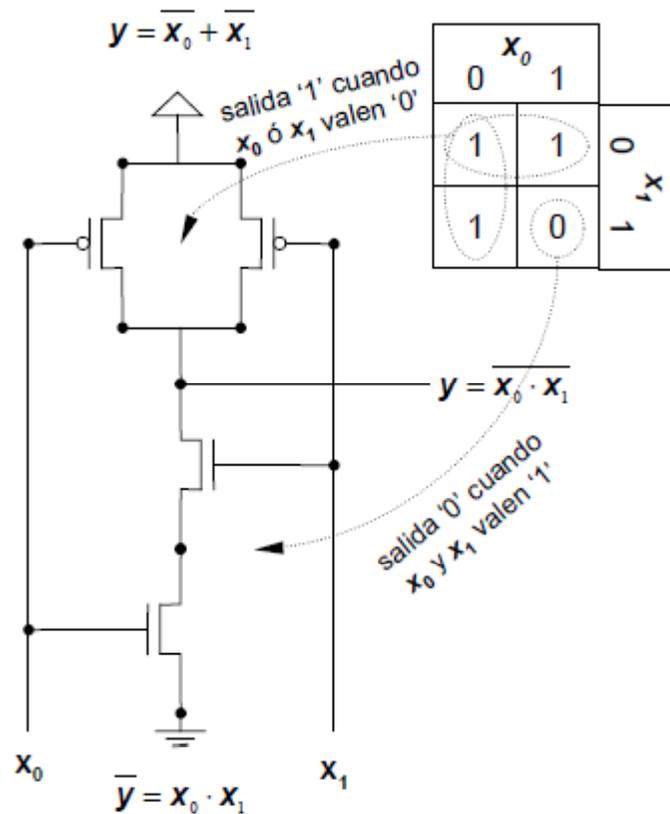
- Todo circuito combinacional CMOS estático se basa en la conexión de dos árboles duales con entradas comunes y salida común, que en estado estacionario no conducen simultáneamente
  - **Árbol de pull-up, formado únicamente por transistores pMOS, que conectan condicionalmente (en función de las entradas) la salida a Vdd.**
  - **Árbol de pull-down, formado únicamente por transistores nMOS, que conectan condicionalmente (en función de las entradas) la salida a Vss.**
- **Reglas de diseño**
  - Los transistores se usan como interruptores (controlados por puerta).
  - Los árboles se construyen conectando en serie o en paralelo grupos de transistores del mismo tipo.
  - Es condición suficiente aunque no necesaria que las estructuras de transistores de los árboles sean duales (ej. Si en el árbol de pull-up los transistores están en serie, en el de pull-down estarán en paralelo).
  - Implementa lógica inversora, es decir, funciones inversas se implementan directamente, funciones directas requieren de un inversor adicional.



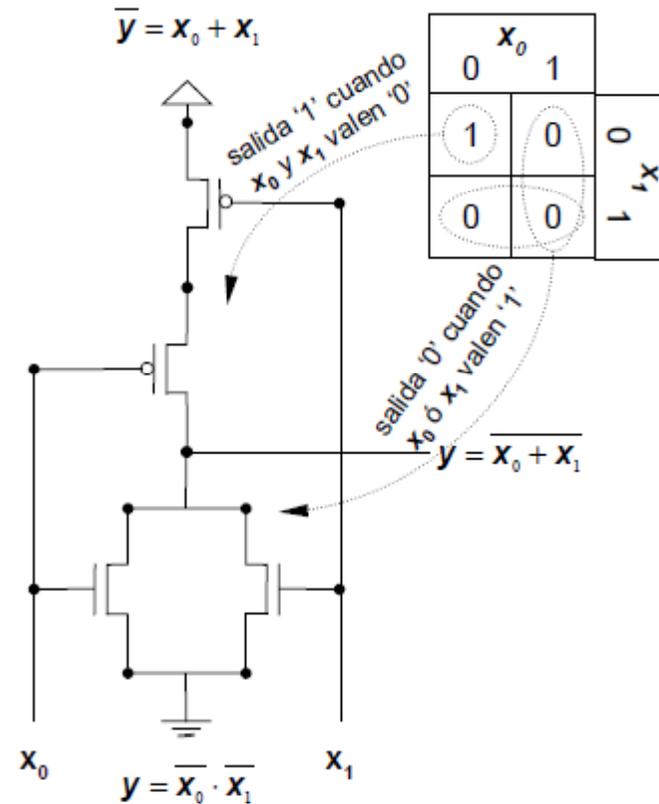
# Diseño de funciones a nivel CMOS

- **Metodología partiendo de una expresión de conmutación**
  - Para implementar el **árbol de pull-up se trabaja con la función sin complementar.**
    - Manipular la función para que sólo dependa de variables complementadas.
    - Cada término producto se diseña mediante transistores pMOS en serie.
    - Cada término suma se diseña mediante transistores pMOS en paralelo.
  - Para implementar el **árbol de pull-down se trabaja con la función complementada.**
    - Manipular la función para que sólo dependa de variables sin complementar.
    - Cada término suma se diseña mediante transistores nMOS en paralelo.
    - Cada término producto se diseña mediante transistores nMOS en serie.
- **Metodología partiendo de un diagrama de Karnaugh**
  - Para implementar el **árbol de pull-up se agrupan los '1'.**
    - Representar la función como una suma de productos de variables complementadas.
    - Proceder como se ha explicado anteriormente.
  - Para implementar el **árbol de pull-down se agrupan los '0'.**
    - Representar la función como un producto de sumas de variables sin complementar.
    - Proceder como se ha explicado anteriormente.

# Puertas NAND y NOR



puerta NAND



puerta NOR

# Ejercicio 1

- Dado el siguiente mapa de Karnaugh diseñar lógica combinacional apropiada mediante transistores CMOS

ab					
00	01	11	10	00	cd
1	1	1	1	01	
1	0	0	0	11	
0	0	0	0	10	
1	1	1	1		

## Ejercicio 2

- Implementar con transistores CMOS la siguiente función lógica combiancional:

$$y=(a \cdot b + c \cdot d)'$$

# Bibliografía

- Diseño de circuitos integrados, J.M. Mendías, Dpto. Arquitectura de computadores y Automática UCM.